

# ANALIZA IMPACTULUI ERORILOR TRANZITORII ALE CIRCUITELOR CMOS SUBALIMENTATE LA MULTIPLE NIVELE DE ABSTRACTIZARE ALE UNUI SISTEM DIGITAL

## REZUMATUL TEZEI DE DOCTORAT

### Capitolul 1 – Introducere

Conform legii lui Moore, numărul de tranzistoare integrate pe un chip se dublează aproximativ la fiecare 18 luni. Creșterea exponențială a densității de integrare a chip-urilor a condus la o creștere aproape exponențială a performanțelor dispozitivelor microelectronice. Încă din anul 2000, ideea limitării creșterii viitoare a gradului de integrare a circuitelor datorită atingerii unei bariere fizice a început să se răspândească în cadrul comunității științifice. Probleme de miniaturizare anticipate de lucrările științifice de la acea vreme au devenit realitate, datorită creșterii zgomotului termic, combinat cu necesitatea utilizării unor tensiuni de alimentare scăzute în vederea scăderii consumului de energie.

Datorită unor limitări fizice fundamentale și a unor cerințe crescute pentru eficiență energetică, performanță crescută și cost de fabricație scăzut, design-urile actuale de circuite integrate au început să se confrunte cu probleme de fiabilitate. Cu fiecare generație de dispozitive nanometrice, efectele variațiilor de proces, voltaj și temperatură (PVT) cresc în intensitate. Problemele consumului și disipării de energie au devenit critice în special pentru dispozitivele mobile alimentate cu ajutorul bateriilor / acumulatorilor. Scăderea consumului de energie poate fi realizată cu ajutorul componentelor low-power, iar metoda preferată constă în reducerea tensiunii de alimentare a circuitelor până la așa-numitele regimuri de funcționare „sub-threshold” și „near-threshold”. Comportamentul unei porți logice alimentată la tensiuni de alimentare mici are o natură probabilistică, ceea ce înseamnă că ieșirea unei porți logice va fi cea corectă cu o probabilitate  $p$  mai mică decât 1. Acest comportament poate fi explicat prin doi factori: incapacitatea porții de a comuta în fereastra de timp dorită sau o eroare de tip „single event upset” care provoacă schimbarea valorii logice de la ieșirea porții.

Această teză de doctorat folosește o metodologie de jos în sus pentru a analiza impactul comportamentului probabilistic al circuitelor CMOS sub-alimentate, la trei nivele de abstractizare: nivelul circuit sau tranzistor, nivelul poartă logică și nivelul registru (RTL – Register Transfer Level). La nivelul tranzistor, probabilitățile de defectare ale porților logice de bază sunt calculate, în diferite condiții de zgomot, iar rezultatele sunt folosite pentru a dezvolta modele de defectare la nivel de poartă și metodologii de evaluare a fiabilității. În cazul circuitelor compuse din mii de porți logice sau mai mult, analiza fiabilității și a propagării erorilor doar la nivel de poartă devine prohibitivă datorită resurselor mari de memorie cerute și a timpului mare de simulare. O analiză hibridă a sistemului, atât la nivel poartă cât și la nivel RTL se dovedește a fi foarte eficientă.

## Capitolul 2 – Circuite CMOS subalimentate

Capitolul 2 al tezei de doctorat, intitulat Circuite CMOS subalimentate, explică cele două concepte „near-threshold” și „sub-threshold”, face o recenzie a implementărilor de circuite sub-alimentate existente în literatură și aduce în atenție problemele de fiabilitate.

Metal-oxid-semiconductor cu structură complementară (CMOS) reprezintă tehnologia cea mai răspândită pentru fabricarea circuitelor integrate. Densitatea de putere a circuitelor CMOS ar trebui să rămână constantă cu fiecare generație nouă și de dimensiuni mai mici, dar datele reale arată că începând cu tehnologia pe 90 nm, această teorie nu se mai aplică. În loc să rămână constantă, densitatea de putere pentru tehnologii sub 90 nm are o tendință de creștere exponențială. Consumul de putere pe unitatea de suprafață a chip-ului crește semnificativ, așadar se fac multe încercări de reducere a tensiunii de alimentare a circuitelor.

Computația „near-threshold” (NTC) se referă la un regim de funcționare pentru care tensiunea de alimentare este setată la o valoare doar ușor mai mare decât tensiunea de prag a tranzistoarelor. Energia necesară pentru o operație este redusă cu un ordin de mărime în zona NTC, raportat la computația în regimul clasic „super-threshold” (STC). Conceptul „sub-threshold” implică scăderea tensiunii de alimentare sub tensiunea de prag, într-o zonă în care capacitățile sunt încărcate / descărcate de curenții de scurgere. Datorită acestui fapt, performanța maximă a acestor circuite este limitată, de obicei la frecvențe de operare de sute de kHz sau câțiva MHz. Operarea în regimul sub-threshold diferă de cea clasică super-threshold, deoarece curentul „sub-threshold” depinde exponențial de valoarea tensiunii de prag și a tensiunii de alimentare, în timp ce curentul tipic „super-threshold” are o dependență liniară față de tensiunea de prag și tensiunea de alimentare. Experimentele realizate în această teză de doctorat aparțin majoritar regimului sub-threshold.

Printre implementările fizice de circuite CMOS subalimentate existente în literatură, se pot aminti: un procesor Pentium near-threshold realizat în tehnologie de 32 nm, un procesor Fast Fourier Transform (FFT) care funcționează la 180 mV și un microcontroler sub-threshold cu memorie SRAM integrată. Procesorul experimental pe 32 nm dezvoltat de Intel este capabil să opereze pe o gamă largă de tensiuni de alimentare, de la tensiunea nominală până la valori de alimentare din zona sub-threshold. Eficiența energetică maximă, aproape de 10 ori mai mare decât cea corespunzătoare tensiunii nominale, este atinsă atunci când procesorul funcționează aproape de tensiunea de prag.

Variațiile de proces care afectează dispozitivele low-power sunt reprezentate de două componente principale: sistematice și aleatorii. Componentele sistematice sunt de obicei corelate spațial, așadar valoarea variației care afectează dispozitivele învecinate este de obicei aceeași. Din categoria variațiilor aleatorii putem să menționăm concentrațiile fluctuante de purtători de sarcină.

Dintre cele trei categorii de erori experimentate de dispozitivele semiconductoare (permanente, intermitente și tranzitorii), erorile tranzitorii sunt cele mai des întâlnite în natură. Studii realizate de IBM și de DEC au arătat că peste 85% din toate defecțiunile care

afectează computerele se datorează unor erori tranzitorii. Acesta este și motivul pentru care scopul tezei este analiza impactului erorilor tranzitorii.

În consecință, evaluarea fiabilității circuitelor low-power devine principala problemă care trebuie studiată. Aceasta poate fi realizată folosind tehnici de injecție de erori, care se clasifică în trei categorii: fizice sau injecție de erori implementată în hardware (HWIFI), tehnici implementate în software (SWIFI) și cele bazate pe simulare. Injecția de erori simulată (SFI) este preferată deoarece poate fi folosită pentru evaluarea circuitelor care se doresc a fi testate în faza de proiectare și poate fi aplicată la mai multe nivele de abstractizare.

### **Capitolul 3 – Analiza impactului erorilor tranzitorii ale circuitelor CMOS subalimentate, la nivelul tranzistor**

Capitolul 3 se bazează pe analiză SPICE pentru a realiza simulări Monte-Carlo pentru porți logice subalimentate, în diverse condiții de zgomot. Scenariul propus pentru analiza la nivel tranzistor consta în intercalarea unei surse de zgomot între două inversoare legate în serie.

Primul set de experimente a analizat efectele amplitudinii zgomotului, folosind mai multe simulări Monte Carlo constând din 50.000 de execuții fiecare. Tensiunea de alimentare a fost variată între 0,3 și 0,8 V, cu o rezoluție de 0,1 V, iar două distribuții Gaussiene au fost utilizate pentru variația zgomotului: una cu sigma 0,2 și cealaltă cu sigma 0,3. S-au folosit modelele pentru tranzistoare dezvoltate de Predictive Technology Model (PTM). Probabilitatea de corectitudine a ieșirii celei de-a doua porți a fost calculată.

Cel de-al doilea set de experimente a vizat identificarea duratei minime a unui semnal rectangular pentru care zgomotul se va propaga prin una sau două porți logice. Aceste simulări au fost realizate folosind modelul de tranzistor PTM în tehnologia de 45 nm, pentru un lanț format din două inversoare și un altul format din două porți NAND. Tensiunea de alimentare a fost variată între 0,2 și 0,7 V și, de asemenea, stagiile inegale PMOS / NMOS au fost simulate prin varierea lățimii tranzistorului PMOS față de cea a tranzistorului NMOS. S-au aplicat atât semnale active pe 0 logic, cât și pe 1 logic și a fost observată o creștere exponențială a duratei minime a semnalului pe măsură ce tensiunea de alimentare scade. Pentru tensiuni de alimentare mari (0,7 V în cazul nostru), aproape toate semnalele rectangulare cu durate comune, cuprinse între 100 ps și 300 ps, se propagă prin una sau chiar amândouă porțile. Însă, în cazul porților logice care funcționează în regimul sub-threshold, durata pulsurilor trebuie să fie foarte mare astfel încât să se propage prin porți.

Pe de altă parte, câțiva cercetători de la University College Cork, Irlanda, au realizat și alte seturi de simulări la nivel de circuit, considerând 3 valori pentru tensiunea de alimentare (0,25, 0,30 și 0,35 V), trei valori pentru temperatură (25, 50 și, respectiv, 75 grade Celsius) și au considerat doi parametri afectați de variațiile de proces: tensiunea de prag și grosimea oxidului. Autorii au extras probabilitățile de corectitudine ca niște funcții de întârzierea porții: o întârziere mai mare determină o probabilitate mai mare ca poarta să comute corect. De asemenea, valoarea tensiunii de alimentare și tranziția de la intrări afectează probabilitatea de corectitudine a ieșirii. Mai mult, autorii au realizat și analiza

fiabilității în funcție de întârziere a bistabilului de tip D, construit cu porți logice ȘI-NU (NAND).

În concluzie, capitolul 3 se remarcă prin următoarele experimente și contribuții:

- Au fost simulate efectele amplitudinii și a duratei pulsurilor caracteristice erorilor tranzitorii în circuite CMOS subalimentate;
- Din punct de vedere al amplitudinii zgomotelor, o scădere a fiabilității este observată, odată cu scăderea tensiunii de alimentare;
- Din punct de vedere al propagării erorilor tranzitorii, porțile logice care funcționează la tensiuni de alimentare scăzute demonstrează o rezistență crescută la perturbații (distorsiuni sub forma unor semnale rectangulare), cu toate că marginile de zgomot ale circuitelor se micșorează

## **Capitolul 4 – Analiza impactului erorilor tranzitorii ale circuitelor CMOS subalimentate, la nivel de poartă / nivel logic**

În acest capitol sunt prezentate două metodologii pentru analiza impactului erorilor tranzitorii la nivel de poartă logică. Prima dintre ele folosește rezultatele obținute la analiza la nivel de circuit, pentru a dezvolta modele probabilistice de defectare cu diferite precizii și pentru a dezvolta o metodă de injecție simulată de erori, bazată pe mutații. Cele patru modele de defectare sunt:

1. Gate Output Probabilistic (GOP) – complementarea valorii logice de la ieșirea porții poate să aibă loc în orice moment, indiferent de valoarea intrărilor, comutarea porții sau valoarea anterioară a ieșirii.
2. Gate Output Switching probabilistic model (GOS) – acest model de defectare consideră că doar în momentul în care poarta comută poate să aibă loc un comportament probabilistic, indiferent de tipul de comutare (0 – 1 sau 1 – 0).
3. Gate Output Switching Type probabilistic model (GOST) – similar cu cel anterior, dar mai complex, deoarece consideră probabilități diferite pentru procesul de încărcare, respectiv descărcare.
4. Gate Input Switching Probabilistic (GIST) – o probabilitate diferită este luată în calcul pentru fiecare combinație a intrărilor care determină comutarea porții.

Fiecărui model de defectare de mai sus îi corespunde o arhitectură de mutant. Metodologia de injecție simulată propusă a fost dezvoltată în limbajul de descriere hardware Verilog și constă în două faze principale: faza de setare a parametrilor și faza de simulare și analiză a rezultatelor. Faza de setare cuprinde următorii pași: setare parametrilor de defectare, inserarea mutațiilor probabilistici la nivel de poartă, selecția datelor de intrare, simularea circuitului corect și generarea testbench-ului.

Metodologia propusă a fost aplicată pentru sumatoare pe 6 biți cu propagarea serială a transportului (RCA – ripple carry adder) și sumatoare paralele pe 6 biți pe principiul selectării

prin transport a sumei (CseA – carry select adder), implementate folosind doar porși NAND cu doua intrări. 16.000 de vectori de intrare au fost aplicați la intrările fiecărui sumator, pentru fiecare dintre următoarele modele de defectare Ș GOS, GOST și GISP. Au fost calculate probabilitățile de defectare ale fiecărui rang binar al rezultatului și, de asemenea, probabilitatea de furnizare eronată a întregului rezultat. Două situații distincte au fost considerate: (a) toate porțile au aceeași întârziere și (b) porțile situate pe calea critică au cea mai mică întârziere, în timp ce porțile situate pe alte căi au întârzieri mai mari.

Rezultatele obținute au demonstrat că sumatorul în configurație CseA are o fiabilitate crescută față de sumatorul RCA și că o configurație de cu redundanță triplă modulară (triple modular redundancy) nu îmbunătățește semnificativ fiabilitatea RCA dacă toate modulele funcționează la aceeași tensiune de alimentare.

În a doua parte a capitolului 4, o nouă metodologie pentru evaluarea fiabilității este propusă, aceasta bazându-se pe comenzi de simulator și script-uri. Noua metodologie este implementată folosind două abordări: o abordare care folosește un modul Verilog dedicat pentru a decide momentul în care se injectează erorile în design și o alta bazată exclusiv pe comenzi de simulator. Probabilitățile folosite pentru aceste experimente sunt cele determinate anterior, ca funcții de întârziere, iar circuitele care se testează sunt aceleași cu cele folosite în metodologia anterioară bazată pe mutații, pentru a putea valida acuratețea noii tehnici.

Probabilitățile de defectare la nivel de bit, precum și cele globale, obținute prin noua metodologie sunt ușor mai mari față de cele obținute în cazul utilizării modelului de defectare GOS la metodologia anterioară. Acest lucru este justificat de faptul că numărul de erori injectate în unitatea de timp de a doua metodologie este mai mare, deoarece nu se ia în calcul acitivitatea de comutare a porții.

Experimentele descrise în capitolul 4 folosesc o abordare de jos în sus: simulările SPICE de tip Monte-Carlo au reprezentat punctul de pornire pentru definirea modelelor de erori la nivele de abstractizare superioare. Simulările circuitelor afectate de variații PVT au fost folosite pentru o metodologie bazată pe mutații, care evaluează parametrii de fiabilitate ai circuitelor combinaționale de mărime mică și medie. Timpul de simulare revendicat de metodologia bazată pe mutații este de 2 până la 5 ori mai mare decât timpul revendicat de simularea circuitului corect.

Contribuțiile originale aduse de prima metodologie sunt:

- Definirea a 4 modele de defectare pentru porți logice de bază, cu precizii diferite
- Dependența de setul de date este asigurată prin asocierea câte unei probabilități de defectare fiecărei combinații distincte de intrări care determină comutarea porții
- Arhitectura de injecție de erori bazată pe mutații este flexibilă și poate fi aplicată pentru design-uri la nivel de poartă ale circuitelor subalimentate, de asemenea ea poate fi aplicată circuitelor cu căi asimetrice de întârziere, multiple insule cu voltaje diferite sau zone care se încălzesc asimetric în timpul funcționării

- Flexibilitatea metodologiei propuse pentru circuite de mărime mică și medie a fost demonstrată prin varierea valorilor a 3 parametri (voltaj, temperatură și întârziere) în funcție de topologia circuitului.

Contribuțiile celei de-a doua metodologii sunt:

- Metodologia dă dovadă de ușurință în implementare, fiind bazată pe comenzi de simulator și script-uri
- Acuratețea metodologiei a fost validată prin confruntarea rezultatelor cu cele furnizate de prima metodologie
- Timpul de simulare revendicat este rezonabil dacă se aplică pentru circuite de complexitate mică și medie; timpul revendicat este de 6 până la de 30 de ori mai mare decât cel al simulării circuitului fără erori
- Această tehnică a fost implementată folosind două abordări diferite: una dintre ele are avantajul ca nu aduce niciun surplus codului Verilog al design-ului care se dorește a fi testat.

## Capitolul 5 – Interconexiuni probabilistice

Capitolul 5 se axează pe problemele de fiabilitate ale semnalelor transmise prin interconexiuni care funcționează la tensiuni de alimentare scăzute. Degradarea fiabilității interconexiunilor are loc datorită influenței a doi factori: variațiile de proces și erorile induse de efectul de crosstalk.

4 tipuri de sabotori au fost propuse:

1. Standard Signal Probabilistic (SSP) – constă în complementarea valorii logice a semnalului pe care este aplicat; modelul de defectare nu ia în considerare tranzițiile care au avut loc pe acea linie
2. Switching-Aware Probabilistic (SAP) – comportamentul probabilistic are loc doar concomitent cu o tranziție a liniei; se pot considera fie probabilități egale, fie diferite pentru procesele de încărcare, respectiv descărcare
3. Full Data Dependent (FDD) – acest model consideră că probabilitatea de defectare a unei linii este exprimată ca o funcție a valorii binare care se transmite pe întreaga magistrală
4. Partial Data Dependent (PDD) – acest model este o versiune simplificată a celui anterior; se consideră că probabilitatea de defectare a unei linii depinde doar de tranzițiile care au avut loc pe o vecinătate formată din una sau două linii.

Circuitul testat cu aceste modele de sabotori a fost magistrala multi-master open-source Wishbone, descrisă în limbajul Verilog. Fiecare campanie de simulări a constat în 1000 de execuții, fiecare set de date a fost ales aleatoriu, iar grupurile de semnale care au fost injectate cu erori au fost:

- Magistrala unidirecțională pentru scrierea datelor

- Magistrala unidirecțională pentru citirea datelor
- Semnalele de adresă
- Semnalele de control și handshaking ale masterului
- Semnalele de handshaking ale slave-ului

Metodologia de evaluare a fiabilității interconexiunilor probabilistice, descrisă în capitolul 5, se remarcă prin următoarele caracteristici:

- Au fost definite patru tipuri de sabotori
- Ținând cont că zgomotul produs de crosstalk este dependent de datele transmise, este necesară o acuratețe mărită a analizei, care este implementată după cum urmează: sabotorul de tip PDD ia în considerare influența tranzițiilor care apar pe liniile situate într-o vecinătate a liniei analizate, în timp ce sabotorul de tip FDD ia în considerare tranzițiile care apar pe toate liniile interconexiunii;
- Erori cu caracter probabilistic au fost injectate pe mai multe grupuri de semnale ale magistralei Wishbone și simulările au indicat care sunt cele mai critice semnale pentru fiabilitatea sistemului
- Timpul de simulare revendicat de o campanie de injecție de erori este de 1,7 ori mai mare decât cel revendicat de circuitul corect.

## **Capitolul 6 – Injecție simulată de erori pentru analiza fiabilității design-urilor de tip RTL**

În acest capitol, este propusă o nouă metodologie ierarhică, hibridă, pentru evaluarea fiabilității design-urilor de tip RTL. Aceasta combină injecția de erori dependentă de date la nivel de poartă pentru extragerea metricilor de fiabilitate ale blocurilor componente și injecția bazată pe sabotori la nivel RTL. Această metodologie își propune să surprindă acuratețea caracteristică injecției la nivel de poartă, în timp ce păstrează timpul de simulare redus, caracteristic evaluărilor de tip RTL. Realizarea injecției simulate de erori la nivelele superioare de abstractizare, precum RTL, necesită timpi de simulare cu ordine de mărime mai mici comparativ cu simularea la nivel de poartă.

Metodologia prezentată în acest capitol cuprinde următoarele faze:

- Simularea design-ului RTL corect pentru un anumit set de intrări, pentru a identifica intrările aferente fiecărei componente din ierarhie
- Descompunerea ierarhică a blocurilor, pentru a separa designul RTL în blocuri simple, de dimensiuni mici
- Sinteza logică a modulelor obținute în urma pasului anterior
- Injecție simulată de erori pentru descrierile la nivel de poartă obținute în urma etapei de sinteză logică
- Injecție simulată de erori, folosind probabilitățile obținute în pasul de injecție de erori la nivel de poartă

Acuratețea metodologiei propuse a fost validată prin evaluarea fiabilității unui circuit de mărime medie: un comparator paralel, care este o componentă de bază a unei unități de procesare de tip check-node unit (CNU) a unui decodificator LDPC – Low-Density Parity-Check. Circuitul este format din două tipuri de module: modulul de sortare, care este folosit pentru aranjarea a două perechi de intrări în ordine crescătoare și modulul de comparare – selectare, care identifică primele două minime dintr-un set de 4 valori primite la intrare. Probabilitățile de defectare ale circuitului, obținute cu noua metodologie, sunt foarte apropiate de cele obținute prin simularea integrală la nivel de poartă a circuitului. În ceea ce privește timpul de simulare, noua abordare necesită un timp cu 3 ordine de mărime mai mic decât simularea integrală a sistemului la nivel poartă.

Mai mult, noua metodologie hibridă a fost aplicată pentru a evalua fiabilitatea unui crypto-core AES, care ocupă 40% din totalul resurselor de tip slice LUTs și 25% din numărul total de blocuri BRAM dintr-un FPGA de tip Xilinx Spartan-6. Crypto-coreul AES conține peste 1 milion de instanțe de porți NAND și bistabile de tip D, iar simularea integrală a lui la nivel de poartă a fost imposibilă pe sistemul ales datorită cerințelor foarte mari de memorie.

Metodologia ierarhică are următoarele avantaje, raportată la soluțiile existente:

- Are o acuratețe mare, caracteristică nivelelor de abstractizare inferioare, datorită simulărilor la nivel de poartă efectuate pentru fiecare bloc și sub-bloc al design-ului
- Acuratețea mare este accentuată de dependența de setul de date, realizată de simulările la nivel de poartă; aceasta se realizează prin valorificarea nivelelor de acuratețe diferită furnizate de arhitecturile mutațiilor asociate cu cele 4 modele de defectare definite în capitolul 3: GOP, GOS, GOST și GISP;
- Timpul total de simulare este rezonabil, cu valori caracteristice nivelelor de abstractizare superioare, datorită naturii sale hibride
- Scalabilitatea a fost demonstrată pentru circuite de complexitate diferită.

## **Capitolul 7 – Analiza fiabilității decodificatoarelor Low-Density Parity-Check (LDPC)**

Secțiunea 7.1 a capitolului 7 aduce în discuție fundamentul teoretic al codurilor de tip Low-Density Parity-Check (LDPC). Un cod LDPC poate fi reprezentat într-o manieră eficientă printr-un graf bipartit numit Tanner Graph, care conține două tipuri de noduri: check nodes și variable nodes. Cel mai folosit algoritm de decodare se bazează pe schimbul de mesaje permanent între cele două tipuri de unități de procesare: check-node units (CNU) și variable-node units (VNU). Implementările hardware ale decodificatoarelor LDPC sunt de obicei adaptate pentru FPGA și conțin unități de procesare (CNU și VNU), trei tipuri de memorii pentru stocarea mesajelor alfa, beta și gamma și unități de control, care activează seria de semnale de control necesare pentru procesul de decodificare.



Secțiunea 7.2 prezintă o campanie de injecție de erori pentru analiza toleranței la defectare a unui decodificator LDPC Min-Sum Flooded. Analiza a fost realizată la trei nivele de abstractizare, după cum urmează:

1. La nivel de tranzistor, autorii au realizat analiză temporală statică, statistică, (SSTA), bazată pe simulări SPICE Monte-Carlo, pentru a extrage distribuția timpului de propagare (a întârzierii) în cazul unor variații PVT pentru fiecare componentă de bază
2. La nivel de poartă logică, calea critică este identificată pentru fiecare ieșire a fiecărui bloc combinațional; pentru fiecare ieșire, distribuția întârzierilor este definită printr-o compoziție liniară a densităților de probabilitate (PDF) corespunzătoare componentelor de bază
3. La nivel RTL, sabotori probabilistici sunt inserați în descrierea RTL a circuitului, pe fiecare ieșire a fiecărui bloc combinațional

Pentru primul pas, simulări SPICE Monte-Carlo au fost efectuate pentru a determina o distribuție invers Gaussiană pentru componentele de bază. În cea de-a doua fază, analiza la nivel de poartă logică a fost folosită pentru a determina probabilitățile de eroare ale fiecărei ieșiri a fiecărui bloc combinațional. Contribuția mea în cadrul acestui set de experimente s-a situat la nivelul RTL, acolo unde a fost efectuată injecție simulată de erori folosind sabotori, aplicați la intrările modulelor de memorie.

Metodologia propusă în această secțiune a fost folosită pentru a evalua capacitatea de corecție a erorilor a unui decodificator MS LDPC subalimentat, care funcționa la o frecvență mai mare decât cea nominală. Simulările au arătat că o dublare a frecvenței față de cea maximă permisă de decodificatorul fără erori, nu va afecta capacitatea de corecție a erorilor.

Secțiunea 7.3 propune o nouă arhitectură de decodificator multi-codeword LDPC, orientată pe module de memorii, care a fost concepută cu scopul creșterii eficienței utilizării blocurilor de memorie BRAM. Mecanismul propus presupune stocarea mai multor mesaje corespunzătoare mai multor codewords în același cuvânt de memorie. Rezultatele de sinteză au arătat o creștere liniară a numărului de LUT flip-flop pairs folosite, odată cu creșterea numărului de cuvinte de cod procesate. Numărul de BRAM-uri utilizate rămâne același pentru 1, 4, 6 sau 9 cuvinte de cod procesate simultan.

Secțiunile 7.4 și 7.5 ale acestei teze de doctorat descriu două seturi de experimente realizate pentru evaluarea fiabilității arhitecturii LDPC descrise anterior. Primul set de experimente presupune că blocurile de memorii ale decodificatorului sunt implementate folosind doar bistabile D și constă în injectarea de erori în fiecare tip de memorie (alfa, beta și gamma) folosin injecție bazată pe sabotori. Probabilitățile de eroare considerate pentru acest experiment corespund unor frecvențe de lucru de 400 MHz, 450 MHz și, respectiv, 500 MHz. Valorile ratelor de defectare sunt  $1,25 \times 10^{-3}$ ,  $2,4 \times 10^{-3}$  și  $4 \times 10^{-3}$  pe fiecare ciclu de clock, per bit de memorie. Rata de erori a cadrelor (frame error rate – FER) a fost monitorizată pentru fiecare caz în parte și s-a obținut o degradare progresivă a performanței de decodare odată cu creșterea frecvenței de operare.

Rezultatele obținute în secțiunea 7.4 arată că erorile injectate în memoria de tip alfa duc la o performanță de decodare ușor mai scăzută decât erorile injectate în memoria de tip beta. Pe de altă parte, un decodificator LDPC cu o memorie LLR (memorie gamma) afectată de erori are o performanță de corecție a erorilor îmbunătățită ne semnificativ, raportată la un decodificator cu memorii alfa sau beta eronate.

Pentru o analiză completă de fiabilitate a decodorului, secțiunea 7.5 extinde experimentele din secțiunea 7.4 pentru unitățile de procesare. Metodologia propusă aici cuprinde următorii pași:

1. Divizarea unităților de procesare (VNU și CNU) în sub-blocuri combinaționale și secvențiale
2. Sinteza logică a sub-blocurilor combinaționale, folosind Synopsys Design Compiler
3. Extragerea căilor critice și non-critice din rapoartele de sinteză pentru fiecare sub-bloc combinațional
4. O constrângere de timp de propagare este considerată pentru unitățile de procesare și întârzierea corespunzătoare este asociată fiecărei porți, în funcție de apartenența acesteia la o cale critică (calea cu numărul maxim de porți) sau o cale non-critică (căi cu mai puține porți decât calea critică)
5. Simularea paralelă a unității de procesare corecte și a unității cu erori injectate la nivel de poartă
6. Extragerea probabilităților de defectare pentru fiecare rang binar al fiecărei ieșiri din cadrul fiecărui sub-bloc al celor două tipuri de unități de procesare
7. Injecție de erori bazată pe sabotori, la nivel RTL, pentru întregul decodor și monitorizarea parametrului FER, folosind probabilitățile de defectare determinate anterior pentru fiecare sub-bloc combinațional.

Considerând o valoare a parametrului FER de  $10^{-2}$ , capacitatea de corecție a erorilor a decodorului LDPC eronat, pentru o constrângere de 200 ns pentru CNU, se degradează cu aproximativ 0.1 dB, comparativ cu valoarea FER a decodorului corect. Degradarea devine aproximativ 0.3 dB pentru o constrângere de 133 ns a CNU-ului și crește la peste 0.5 dB pentru o constrângere de 100 ns. În cazul injecției de erori la VNU, un plafon al ratei de corecție se obține la FER de  $10^{-1}$ .

În concluzie, secțiunea 7.3 descrie o nouă arhitectură de decoder LDPC de tip flooded, cu următoarele caracteristici:

- Utilizarea eficientă a memoriei este obținută prin maparea mai multor mesaje corespunzătoare unor cuvinte de cod diferite în același cuvânt al memoriei BRAM
- Până la 9 cuvinte de cod pot fi procesate în paralel în cazul unei cuantizări a mesajelor de 4 biți și până la 12 cuvinte de cod în cazul unei cuantizări de 3 biți, fără a introduce un surplus semnificativ de resurse de memorie
- Raportând la alte arhitecturi LDPC, folosim un număr de blocuri BRAM cu un ordin de mărime mai mic pentru fiecare cuvânt de cod procesat.